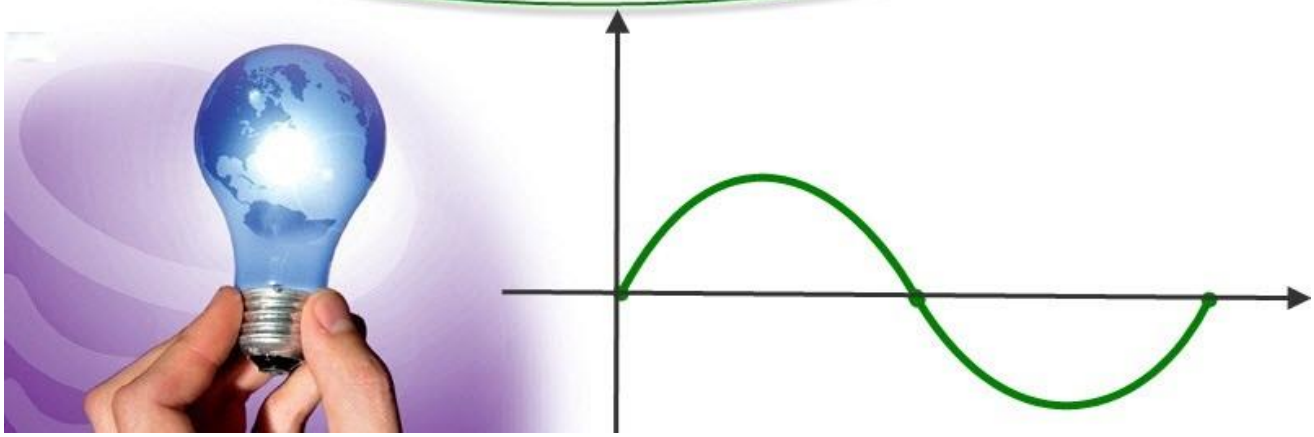
برای دریافت فایل Wordپروژه به سایت ویکی پاور مراجعه کنید. فاقد آرم سایت و به همراه فونت های لازمه



برای دریافت فایل wordپروژه به سایت ویکی پاور مراجعه کنید. فاقد آرم سایت و به همراه فونت های لازمه

موضوع پروژه:

مخابرات

WikiPower.ir

برای خرید فایل wordاین پروژه اینجا کلیک کنید.
(شماره پروژه = ۵۳۶)
پشتیبانی: ۰۹۳۵۵۴۰۵۹۸۶

چکیده

در این گزارش در فصل اول به معرفی مرکز تحقیقات مخابرات ایران (ITRC) و معرفی پژوهشکده های موجود در این می پردازیم. سپس در فصل دوم به مطالعه‌ی چیپهای خانواده ی DSP، مزیتها و معماری داخلی آن پرداخته و به مطالعه یک نوع بسیار پر کاربرد این نوع چیپها را تحت عنوان TMS320 C54X و مقایسه آن با دیگر چیپهای DSP می پردازیم.

در فصل سوم استاندارد مخابراتی کدینگ G.729 در مراکز PSTN را مورد بررسی قرار داده و بلوک دیاگرامها، الگوریتمها و روشهای ایجاد و ساده سازی این کدینگ را مورد مطالعه قرار خواهیم داد.

امید است این گزارش مورد توجه قرار گیرد.

WikiPower.ir

برای دریافت فایل Wordپروژه به سایت ویکی پاور مراجعه کنید. فاقد آرم سایت و به همراه فونت های لازمه

فهرست

فصل اول: معرفی مرکز تحقیقات مخابرات ایران:

تاریخچه:

پژوهشکده ی فناوری ارتباطات:

پژوهشکده امنیت فناوری اطلاعات و ارتباطات:

پژوهشکده ی مطالعات راهبردی و اقتصادی:

فصل دوم: مروری بر خانواده ی DSP (TMS320 C54 X)

مقدمه

خصوصیات TMS320 C54 X

توضیح کلی در مورد DSP

پایه های ای سی دی S4X

معماری پردازنده

فصل سوم: استاندارد کدینگ G.729

توضیح کلی در مورد کد کننده

دلیل انتخاب **G.729**

بلوک دیاگرام مدل CELP

بلوکهای **G.729**

WikiPower.ir

برای دریافت فایل Wordپروژه به سایت ویکی پاور مراجعه کنید. فاقد آرم سایت و به همراه فونت های لازمه

پیش پردازش Pre-Processing

آنالیز تخمین خطی و کنوانتیزاسیون

پنجره کردن و محاسبه ی Auto Correction

الگوریتم لوینسن – دوربین

تبدیل LP به Lsp

کوانتیزاسیون ضرایب Lsp

تبدیل ضرایب Lsp به LP

Perceptual Weighting

WikiPower.ir

فهرست جدول ها:

جدول شماره ۱- خانواده سری 54x

جدول شماره ۲- استفاده از باس های آدرس

جدول شماره ۳- نمودار حافظه پردازنده

جدول شماره ٤- انواع پورت سریال

WikiPower.ir

برای دریافت فایل Wordپروژه به سایت ویکی پاور مراجعه کنید. فاقد آرم سایت و به همراه فونت های لازمه

فهرست اشکال:

شکل شماره‌ی ۱- معماری پردازنده

شکل شماره‌ی ۲- بخش محاسباتی پردازنده

شکل شماره‌ی ۳- مدل حافظه پردازنده

شکل شماره‌ی ٤- حافظه‌ی بسط یافته

شکل شماره‌ی ٥- اتصالات پورت سریال

شکل شماره‌ی ٦- بلوک دیاگرام معماری پورت سریال

شکل شماره‌ی ۷- بلوک دیاگرام استاندارد

شکل شماره‌ی ۸- ساختار Encoder

شکل شماره‌ی ۹- ساختار Decoder

WikiPower.ir

برای دریافت فایل Wordپروژه به سایت ویکی پاور مراجعه کنید. فاقد آرم سایت و به همراه فونت های لازمه

فصل اول

WikiPower.ir

۱- معرفی مرکز تحقیقات مخابرات ایران:

مرکز تحقیقات مخابرات ایران به عنوان قدیمی ترین مرکز پژوهش در حوزه‌ی فناوری اطلاعات (ICT) ، با بیش از ۳۷ سال سابقه تجربه علمی در امر تحقیق و مشاور ما در وزارت متبوع، اصلی ترین پایگاه تحقیقات در زمینه‌ی ارتباطات و فناوری اطلاعات در کشور است. این مجموعه هم اینک با برخورداری از کادری تخصصی و مجرب در حوزه های مختلف (ICT) و دیگر امکانات پژوهش و آزمایشگاهی پیشرفته در قالب چهار پژوهشکده

۱- فناوری اطلاعات

۲- فناوری ارتباطات

۳- امینت

٤- مطالعات راهبردی و اقتصادی

فعالیتهای تحقیقاتی عمده ای را دنبال می کند.

۲- تاریخچه:

این مرکز در سال ۱۳٤۹ با امضای تفاهم نامه ای بین دول ایران و ژاپن تاسیس شد و به طورمحدود فعالیتهای تحقیقاتی بنیادی خود را که پیش از انقلاب شکوهمند اسلامی عمدتاً ماهیتی دانشگاهی داشت، آغاز کرد. با پیروزی انقلاب اسلامی و تصویب شورای عالی انقلاب فرهنگی اداره‌ی امور مرکز تحقیقات مخابرات ایران به وزارت پست و تلگراف و تلفن (ارتباطات و فناوری اطلاعات) واگذار شد و به عنوان بازوی تحقیقاتی و مشاوره ای در این وزارتخانه فعالیتهای گسترده ای را دنبال کرد. بازنگری در ساختار فعالیتهای مرکز، هدف خودکفایی، استقلال فنی و تخصصی، مسئولان را بر آن داشت تا نسبت به تحقیق توسعه به ویژه تحقیقات کاربردی در زمینه ی فناوری مخابراتی اولویت خاصی قائل شود. در سال ۱۳۷٦ مرکز تحقیقات مخابرات ایران به پژوهشکده ارتقا یافت و در سال ۱۳۸٤ با تاسیس سه پژوهشکده به پژوهشگاه تبدیل شد. این مرکز هم اینک با دارا بودن چهار پژوهشکده به عنوان پژوهشگاهی تحقیقاتی، قطب پژوهشی فناوری ارتباطات و اطلاعات محسوب می شود و نقش مهم را به عنوان مشاور مادر در بخش (ICT) دارا می باشد.

۳- پژوهشکده ی فناوری ارتباطات:

ارائه ی مشاور در حوزه ی فناوری ارتباطات برای شرکتهای زیر مجموعه مزارت ارتباطات و فناوری اطلاعات در زمینه های شناخت، طراحی، کاربردی، بهینه سازی، توسعه و استفاده از تکنولوژی های نوین مخابراتی به منظور پشتیبانی علمی و عملی از صنعت و بازار ارتباطات کشور و مدیریت و هدایت عرصه تحقیقات علمی، فنی، اقتصادی و اجتماعی در حوزه های فناوری ارتباطات در کشور هماهنگی، نظارت و پشتیبانی براین فعالیتها را بر عهده دارد. همچنین می توان به تهیه استاندارد های ملی تست و تایید نمونه تجهیزات و خدمات در زمینه ی فناوری ارتباطات در قالب ایجاد و حمایت آزمایشگاهی ملی مرتبط و ایجاد بستر مناسب برای بومی سازی، توسعه و تجهیز سیستمها و خدمات مرتبط با اتباطات رادیویی، ثابت، نوری ایستگاههای زمینی ماهواره ای و همچنین نرم افزار ها و سخت افزار های مدیریت یکپارچه شبکه های مخابراتی به میزان حداقل ۳۰٪ در کشور اشاره کرد.

۴- پژوهشکده ی امینت فناوری اطلاعات و ارتباطات:

پوشش کاملتر موضوعات مرتبط با افتا (امنیت فضای تبادل اطلاعات)، پوشش انواع نیازمندیهای تحقیقاتی افتا در مجموعه‌ی وزارت ارتباطات و فناوری اطلاعات، تشخیص نیازمندیهای تحقیقاتی آتی افتا در مجموعه وزارت ارتباطات و فناوری اطلاعات از طریق آینده پژوهشی و توجه به فناوریهای نوین افتا، همگام با توسعه ی فناوریهای حوزه ی ارتباطات و اطلاعات در جهان، استفاده از حداکثر توان آموزشی، پژوهشی، صنعتی و اجرایی کشور به منظور تحقق نیازمندیهای تحقیقاتی افتا در مجموعه وزارت ارتباطات و فناوری اطلاعات، برنامه ریزی، هدایت و حمایت از بومی سازی فناوریهای افتا به منظور پوشش نیازمندیهای امنیتی در مجموعه وزارت ارتباطات و فناوری اطلاعات را بر عهده دارد.

۵- پژوهشکده ی مطالعات راهبردی و اقتصادی:

با توجه به اهداف کلی برنامه توسعه چهارم تا سال ۱۳۸۸ که نیاز به سیاست گذاری، برنامه ریزی و سرمایه گذاری وارد مشارکت بخش خصوصی در این توسعه الزامی است. بنابراین در جهت کاهش تصدی گری دولت و آزاد سازی منابع دولت مسئله ی خصوصی سازی و آزاد سازی مطرح می گردد بطوریکه با قیمتهای مناسب و مشتری مداری نسبت به ارائه ی سرویسها اقدام گردد. بنابراین نیاز به مطالعات اقتصادی، فنی حقوقی در رابطه با چگونگی رقابت، قیمت گذاری، تهیه قوانین و مقررات مطرح می گردد. از طرفی لزوم ارائه سرویس به نقاط محروم با توجه به خصوصی سازی همچنان به عهده ی دولت است از جمله مسائلی است که باید در نظر گرفته شود.

WikiPower.ir

برای دریافت فایل Wordپروژه به سایت ویکی پاور مراجعه کنید. فاقد آرم سایت و به همراه فونت های لازمه

فصل دوم:

WikiPower.ir

مروری بر خانواده DSP (TMS320C54X)

برای دریافت فایل Wordپروژه به سایت ویکی پاور مراجعه کنید. فاقد آرم سایت و به همراه فونت های لازمه

مقدمه

- کارت VCU در بخش باند پایه عملیات فشرده سازی و فریمینگ صوتی را انجام می دهد تا هر کانال صوتی 64Kbps بعد از انجام کدینگ G.726 (ADPCM) با نرخ 16Kbps به بخش فریمینگ ارسال شده و با اضافه شدن سربار فریمینگ جهت ارسال و دریافت صحیح بیت ها در مبدا و مقصد ، در نهایت با پهنای باند 19.2Kbps به مودم ماهواره ای تحویل داده شده و از آنجا وارد کانال ماهواره ای شود . در طراحی کارت VCU فعلی از آی سی های ADPCM شرکت Zarlink استفاده شده است که ضمن سادگی کار ، در حداقل زمان ، کارت راه اندازی شود . با توجه به گران بودن پهنای باند ماهواره ای به نظر می رسد در این کارت می بایست از استانداردهای فشرده سازی دیگری استفاده شود تا با پهنای باند کمتری صوت انتقال یابد . از جمله این استانداردها می توان به G.729 اشاره نمود که ضمن مقبولیت عام ، صوت را تا میزان 8Kbps فشرده می نماید . لیکن اجرای آن نیاز به استفاده از DSP دارد تا بتوان این استانداردها که ماهیتی ریاضی دارند را در کارت پیاده سازی نمود . در واقع جهت توسعه آتی سیستم در بخش صوت و کارت VCU ، کافیست به جای آی سی های ADPCM از DSP استفاده نمود تا بتوان الگوریتم های مورد نظر را پیاده سازی نمود . نکته مهم در این توسعه عدم تغییر در ساختار کارت است . در واقع با تغییر ذکر شده سایر ماژول های کارت تغییر نمی کنند از جمله بخش فریمینگ و ارسال و دریافت به مودم ماهواره ای که همچنان به همان صورت در FPGA های برد قرار می گیرند .

در این فصل مطالعه مقدماتی در مورد DSP و استاندارد G.729 انجام شده است تا پیش زمینه لازم جهت توسعه آتی سیستم حاصل گردد . با توجه به این نکته که ظرفیت و تعداد کانال های صوتی یک ایستگاه که وارد کانال ماهواره ای می شوند بسیار محدود

است (چون هر ایستگاه نهایت ٦٤ مشترک دارد و طبق آمار تماس های هم زمان با خارج از ایستگاه کمتر از ١٦ تماس است) با بررسی های انجام شده DSP های سری 54X برای این کاربرد کفایت می کنند ضمن آنکه این خانواده از DSP ها با قیمت مناسب در داخل کشور وجود دارند که این مطلب از اهمیت به سزایی در بخش تولید برخوردار است .

WikiPower.ir

خصوصیات TMS320C54X

- معماری پیشرفته چند با سه با سه باس مجزا برای حافظه دیتای ۱۶ بیتی و یک باس حافظه برنامه
- ۴۰ بیت واحد منطقی محاسباتی (ALU) شامل یک شیفت دهنده ۴۰ بیتی و دو انباره ۴۰ بیتی مستقل
- ضرب کننده موازی ۱۷×۱۷ بیت جفت شده با یک جمع کننده اختصاص یافته ۴۰ بیتی برای عملیات جمع / ضرب (MAC) تک سیکلی بدون Pipeline
- واحد مقایسه – انتخاب و ذخیره (CSSU) برای انتخاب مقایسه / جمع عملگر Viterbi
- رمزگذاری توانی برای محاسبه یک مقدار توانی از یک انباره ۴۰ بیتی در یک سیکل تکی
- دو تولید کننده آدرس با هشت ثبات کمکی و دو واحد محاسباتی ثابت کمکی (ARAU)
- باس دیتا با یک خصیصه نگهدارنده باس
- باس آدرس با یک خصیصه نگهدارنده باس(فقط ۵۴۸ و ۵۴۹)
- مود آدرس دهی بسط یافته برای حداکثر بیت ۱۶×۸M فضای برنامه خارجی قابل آدرس دهی (فقط 548 و 549)
- حداکثر بیت16× 192K فضای حافظه قابل آدرس دهی (64Kword برنامه، 64 Kword I/O)
- ROM درون آی سی که مقداری از آن قابل ترکیب بندی به صورت حافظه دیتا / برنامه می‌باشد.
- عملیات Repeat تک دستوری و Block Repeat برای کد کردن برنامه
- دستورهای دارای یک عملوند کلمه طولانی ۳۲ بیتی
- دستورهای دارای یک عملوند کلمه طولانی ۳۲ بیتی
- دستورهای محاسباتی با ذخیره موازی و بارگذاری موازی
- دستورالعمل های ذخیره شرطی
- بازگشت سریع از وقفه
- اجزا درون آی سی

– تولید کننده Wait – State قابل برنامه ریزی با نرم افزار و سوئیچنگ بانک قابل برنامه ریزی

– تولید کننده کلاک PLL (Phase Lock Loop) درون آی سی با ا سیلاتور داخلی یا منبع کلاک خارجی

– پورت سریال کاملا دوطرفه برای حمایت انتقال ۸ یا ۱۶ بیتی (LC546 و LC545 و 541)

– پورت سریال TDM (Time Division Multiplexed)

(فقط 542,543,548 ,549)

– پورت سریال بافر شده (BSP) (فقط 542,543, LC545 , LC456 , 548, 549)

– واسط پورت Host (HPI) موازی 8 بیتی (فقط 542,Lc545, 548,549)

– یک تایمر 16 بیتی

– قطع کنترل ورودی – خروجی خارجی (XIO) جهت غیر ممکن کردن باس دیتا، باس آدرس و سیگنالهای کنترلی خارجی

– کنترل مصرف توان با دستورالعملهای IDLE1 و IDLE2 ، IDLES با مودهای توان – پایین

– منطق شبیه سازی بر پایه SCAN درون آی سی، JTAG IEEE Std 1146.1))

– 25ns زمان اجرا دستور العمل ممیز – ثابت تک سیکلی [40MIPS] برای منبع تغذیه V 5 (فقط 542 و 541)

– 20ns و 25ns زمان اجرای دستورالعمل ممیز – ثابت تک سیکلی [40,50MIPS] برای منبع تغذیه 3.3V (فقط LC54x)

– 15 ns زمان اجرای دستورالعمل ممیز – ثابت تک سیکلی [66MIPS] برای منبع تغذیه 3.3V (LC548 , LC549)

– 12.5ns زمان اجرای ممیز – ثابت تک سیکلی [80MIPS] برای منبع تغذیه 3.3V (548,LC54xA,lC549)

– 10ns زمان اجرای ممیز – ثابت تک ســیکلی [120,100 MIPS] برای منبع تغذیه 3.3V هسته 2.5V (VC549)

WikiPower.ir

توضیح کلی در مورد DSP

خانواده TMS320VC54x,TMS320VC54x, TMS320LC54x,TMS320C54x پردازنده سیگنال دیجیتالی ممیز ثابتی هستند که بر پایه معماری Harvard پیشرفته طراحی شده اند که یک باس حافظه برنامه و یک باس حافظه دیتا دارند . این پردازنده‌ها هم چنین ALU ای دارند که از درجه بالایی از موازی سازی برخوردار است . این خانواده DSP شامل یک سری د ستورهای تخ صصی می با شد که از علل انعطاف و سرعت بالای این DSP ها می‌باشند.

فضاهای دیتا و برنامه مجزا اجازه دسترسی همزمان به دستورهای برنامه و دیتا را می دهد (موازی سازی) . دو عمل خواندن و یک عمل نوشتن می تواند در یک سیکل تکی انجام شود. به علاوه ، دیتا می تواند بین فضاهای برنامه و دیتا منتقل شود . این موازی سازی یک مجموعه قدرتمند از عملیات محاسبات ، منطق و عملیات بیتی را فراهم می کند که همگی می توانند در یک سیکل تکی انجام شوند . به علاوه همه پردازنده‌های این خانواده شامل مکانیزم کنترل جهت مدیریت وفقه ها، عملیات تکراری و صدا زدن تابعها می باشند.جدول زیر یک دیدگاه کلی از DSP های نسل 54x را ارائه می کند.

WikiPower.ir

پایه های آی سی‌های 54x

- A22...A0 (خروجی) آدرس باس پورت موازی A0 (LSB) تا A22 (MSB) . البته اغلب آی سی های 54x فقط A0 تا A15 را دارند و فقط 548 و 549 هفت پایه MSB (A16 تا A22) را جهت آدرس دهی حافظه برنامه بسط یافته دارند.
- D15 – D0 (ورودی / خروجی) دیتا باس پورت موازی D0 (LSB) تا D15 (MSB)

.

برای دریافت فایل Wordپروژه به سایت ویکی پاور مراجعه کنید. فاقد آرم سایت و به همراه فونت های لازمه

	C541	LC541	LC541B	C542	LC542	LC543	LC545A	LC546A	LC548	LC549	VC549	U/VC5402	U/VC5409	VC5410	VC5416	VC5420	VC5421	VC5441
Memory (On-chip)																		
RAM (K) (single access)									24	24	24			56	64	168	64	256
RAM (K) (dual access)	5	5	5	10	10	10	6	6	8	8	8	16	32	8	64	32	64	128
RAM (K) (two-way shared)																	128	256
ROM (K)	28	28	28	2	2	2	48	48	2	16	16	4	16	16	16		4	
Memory Security	√	√	√	√	√	√	√	√	√	√	√	√	√	√	√			
Extended Addressing																		
In program space (>64K)									8M	8M	8M	1M	8M	8M	8M	256 K	512 K	
Peripherals																		
Standard serial ports	2	2	2				1	1										
TDM serial ports				1	1	1			1	1	1							
Buffered serial ports (BSPs)				1	1	1	1	1	2	2	2							
Multichannel buffered serial ports (McBSPs)												2	3	3	3	6	6	12
DMA controller												√	√	√	√	√	√	√
Standard 8-bit HPI				√	√		√		√	√	√							
Enhanced 8-bit HPI												√	√	√	√			
16-bit HPI													√		√	√	√	√
Interprocessor FIFO																√	√	
Timers	1	1	1	1	1	1	1	1	1	1	1	2	1	1	1	2	2	8
Hardware PLL	√	√		√	√	√												
Programmable PLL			√				√	√	√	√	√	√	√	√	√	√	√	√
General-Purpose I/O pins																		
BIO / XF	√	√	√	√	√	√	√	√	√	√	√	√	√	√	√	√	√	
Multiplexed with McBSP/HPI												20	26	21	26	36	36	36
Dedicated																8	8	16

جدول ۱) خانواده سری 54X

- IACK (خروجی) سیگنال تصدیق وقفه IACK به این معنی است که وقفه‌ای رخ داده ا ست و شمارنده برنامه محل بردار وقفه را که تو سط A0 – A15 مـ شخص شده است واکشی می‌کند.
- INT0 ... INT3 (ورودی) ورودی های وقفه کاربر خارجی
- NMI : (ورودی) وقفه غیر قابل ماسک NMI ، وقفه خارجی است که نمی تواند توسط INTM یا IMR ماسک شود. وقتی NMI فعال می‌شود ، پردازنده به موقعیت بردار مربوطه پرش می کند.
- RS (ورودی) ری ست ورودی
- MP /MC: (ورودی) پایه انتخاب مود میکرو کامپیوتر / میکروپرو سسور . اگر این پایه در زمان ریست صفر باشد (مود میکروکامپیوتر) ، MP /MC سبب می شود که برنامه داخلی ROM درفضای حافظه برنامه بالاتر قرار بگیرد. در مود MP ، حافظه خارجی و آدرسهای متناظرش (به جای ROM برنامه داخلی) مورد استفاده قرار می‌گیرند.
- CNT : (ورودی) انتخاب سطح I/O برای عملیات 5V . همه ولتاژ های خروجی ورودی با TTL سازگارند و در این حالت این پایه باید LOW با شد و برای عملیات 3V و سازگار با CMOS این پایه باید High بشود.
- BIO : (ورودی) وقتی BIO فعال باشد یک پرش قابل انجام است . می توان با دستور های متناظر این پایه را چک کرد و از این خاصیت برای پرش در برنامه نویسی استفاده کرد.
- XF : (خروجی) خروجی پرچم خارجی . XF از طریق دستورهای متناظرش صفر ویک می شود. XF برای سیگنال دادن به پردازنده‌های دیگر استفاده می شود.
- DS و PS و IS : (خروجی) سیگنالهای انتخاب فضای دیتا، برنامه و I/O این پایه‌ها در حالت عادی یک هستند و فقط برای ارتباط با یک فضای خارجی بخصوص صفر می شوند . پریود فعالیت اینها متناظر با اطلاعات آدرس معتبر می باشد.
- MSTRB : (خروجی) سیگنال Strobe حافظه MSTRB در حالت عادی یک است وفقط در موقع دسترسی باس خارجی به حفاظه برنامه یا دیتا LOW می‌شود.
- Ready (ورودی) ورودی Ready– data این پایه مشخص می‌کند که یک وسیله خارجی برای تکمیل تبادلات باس فراهم شده است اگر Ready فعال نباشد پردازنده یک سیکل صبر می کند و دوباره Ready را چک می کند . باید توجه

داشـــت که پردازنده وقتی ready را تشـــخیص می‌دهد که حداقل دو Wait State تولید شده باشد.

- ❖ R/W : (خروجی) سیگنال خواندن و نوشتن . این پایه معرف ارتباط با یک وسیله خارجی است. در حالت عادی یک است (در مود خواندن) و در موقع نوشتن صفر می‌شود.
- ❖ IOSTRB : (خروجی) ســـیگنال I/O Strobe این پایه در حالت عادی یک اســـت و فقط درموقع دسترسی یک باس خارجی به یک وسیله I/O صفر شود.
- ❖ HOLD : (ورودی) HOLD معرف این ا ست که کنترل خطوط کنترل ، دیتا و آدرس را احتیاج دارد.
- ❖ HOLDA (خروجی) سیگنال تصدیق HOLD
- ❖ MSC : (خروجی) سیگنال کامل Micro State درلبه پایین رونده CLKOUT و در شـــروع اولین wait –State صـــفر می شـــود و تا اولین CLKOUT قبل از آخرین Wait State صـفر می‌ماند . اگر این پایه به Ready وصـل شـود MSC یک wait State خارجی قبل از اینکه آخرین Wait State داخلی تکمیل بشود، تولید می کند.
- ❖ IAQ: (خروجی) سیگنال اکتساب خروجی کلاک مستر. Clkout با نرخ سیکل – ماشـین CPU کلاک می زند . سـیکل ماشـین داخلی با لبه پایین رونده این سـیگنال تنظیم شده است.
- ❖ CLKMD1 , CLKMD2 , CLKMD3 (ورودی) سـیگنالهای ورودی / خروجی مود کلاک اجازه انتخاب و ترکیب بندی مودهای کلاک مختلف مثل کریســـتال ، کلاک خارجی و فاکتورهای مختلف PLL را می دهند.
- ❖ X2/CLKIN : (ورودی) پین ورودی به اسیلاتور داخلی از کریستال . اگر اسیلاتور (کریستال) داخلی استفاده نمی شود می توان یک کلاک به این پایه وصل کرد.
- ❖ XI (خروجی) : پین خروجی از اسیلاتور داخلی .
- ❖ TOUT: (خروجی) خروجی تایمر. TOUT وقتی که تایمر داخلی در شـــمارش معکوس به صـفر رسـید، یک پالس می سـازد و طول پالس به اندازه یک CLKOUT است.
- ❖ BCLKR0 , BCLKR1 (ورودی) کلاک دریافت . سیگنال کلاک خروجی برای کلاک کردن دیتا از پین دریافت دیتا (DR) به ثباتهای شـــیفت دریافت پورت ســـریال بافر شده (RSRها)

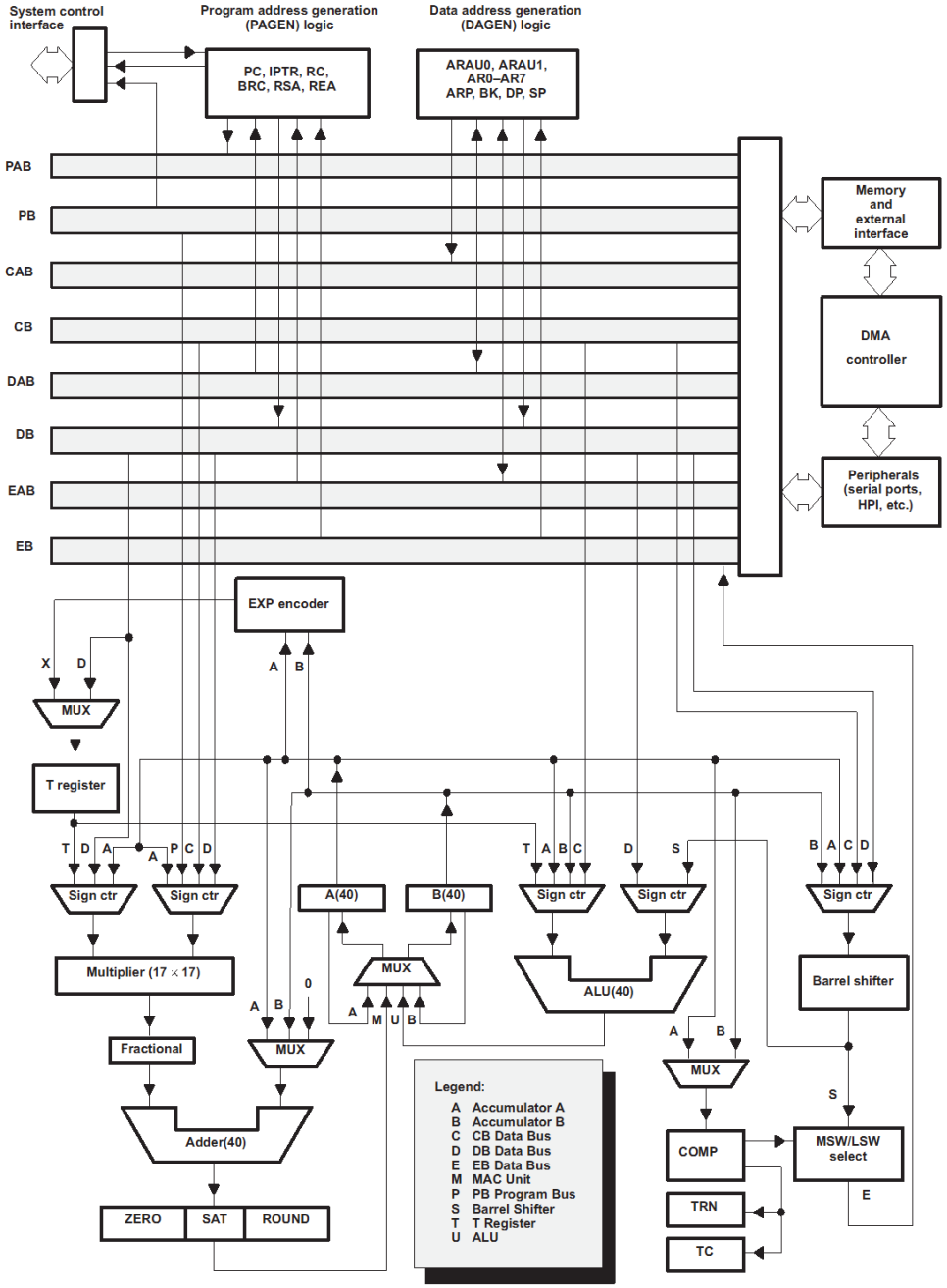
- BCLKX1 , BCLKX0 (ورودی / خروجی) کلاک ارسال سیگنال کلاک برای کلاک کردن دیتا از ثبات شنیده ارسال پورت سریال (XSR) به پین ارسال دیتا(DX)
- BDR1, BDR0 (ورودی) ورودی دریافت دیتا سریال بافر شده . دیتا سریال در RSR توسط BDR0/BDR1 دریافت می شود.
- BDX1,BDX0 (خروجی) خروجی ار سال پورت سریال بافر شده . دیتای سریال از XSR توسط BDX ارسال می شود.
- BFSR1, BFSR0 (ورودی) پالس سنکرون کردن فریم برای ورودی دریافت . لبه پایین رونده پالس BFSR پروسه دریافت دیتا را مقدار دهی اولیه می‌کند (در شروع کلاک کردن RSR)
- BFSX1, BFSX0 (خروجی / ورودی) پالس سنکرون کردن فریم برای ورودی/ خروجی ار سال. لبه پایین رونده پالس BFSX پرو سه دیتا را با شروع کلاک کردن XSR مقدار دهی اولیه می‌کند.
- CLKR1, CLKR0 (ورودی) کلاک دریافت. سیگنال کلاک خارجی برای کلاک کردن دیتا از پین دریافت دیتا(DR) به ثبات شیفت دریافت پورت سریال(RSR) . این کلاک باید در طول مدت انتقالهای پورت سریال موجود باشد.
- ClKx1, CLKx0 (ورودی / خروجی) کلاک ارسال . سیگنال کلاک برای کلاک کردن دیتا از ثبات شیفت ار سال پورت سریال(XSR) به پین ار سال دیتا (DX) CLKX می تواند ورودی با شد اگر MCM در ثبات کنترل پورت سریال صفر با شد. همچنین می تواند با یک کردن MCM با فرکانس CLKOUT 1/4 رانده شود.
- DR1 , DR0 (ورودی) ورودی دریافت دیتا سریال که توسط DR وارد RSR می شود.
- DX1, DX0 (خروجی) خروجی ار سال پورت سریال دیتا که از طریق DX از XSR ارسال می‌شود.
- FSR1 و FSR0 (ورودی) پالس سنکرون کردن فریم برای ورودی دریافت . لبه پایین رونده پالس FSR پروسه دریافت دیتا را مقداردهی اولیه می کند و کلاک زدن RR شروع می‌شود.
- FSX1, FSX0 (ورودی / خروجی) پالس سنکرون کردن فریم برای ورودی/ خروجی ارسال .
- TCLKR : (ورودی) وروی کلاک دریافت TDM

- TDR (ورودی) ورودی دریافت دیتای سریال TDM
- TFSR/ TADD (رورودی / خروجی) ســنکرون کردن فریم دریافت TDM یا آدرس TDM
- TCLKX (ورودی / خروجی) کلاک ارسال TDM
- TDX (خروجی) خروجی ارسال دیتا سریال TDM
- TFSX/TFRM (ورودی / خروجی) سنکرون کردن فریم ارسال TDM
- HD7 –HD0 (ورودی / خروجی) باس دیتا دو جهته موازی پورت Host
- HBIL (ورودی) ورودی تشخیص – بایت در پورت Host
- HCS (ورودی) ورودی انتخاب Chip–پورت Host
- HDS2, HDS1 (ورودی) ورودی strobe دیتا در پورت Host
- HAS : (ورودی) ورودی Strobe آدرس در پورت Host
- HR/W (ورودی) ورودی خواندن / نوشتن در پورت Host
- HRDY (خروجی) Ready در پورت Host
- HR/W (ورودی) ورودی خواندن / نوشتن در پورت Host
- HRDY (خروجی)Ready درپورت Host
- HINT (خروجی) خروجی وقفه درپورت Host
- HPIENA (ورودی) ورودی انتخاب ماجول HPI در پورت Host
- CVDD و DVDD و VSS پایه تغذیه
- TCK (ورودی) کلاک تست استاندارد IEEE1149,1
- TDI (ورودی) ورودی دیتا تست استاندارد IEEE1149,1
- TD0 (خروجی) خروجی دیتا تست استاندارد IEEE1149,1
- TMS (ورودی انتخاب مود تست استاندارد IEEE1149,1
- TRST : (ورودی) ری ست تست استاندارد IEEE1149,1

معماری پردازنده

سخت افزار داخلی 54x به صورت زیر می‌باشد.

برای دریافت فایل wordپروژه به سایت ویکی پاور مراجعه کنید. فاقد آرم سایت و به همراه فونت های لازمه

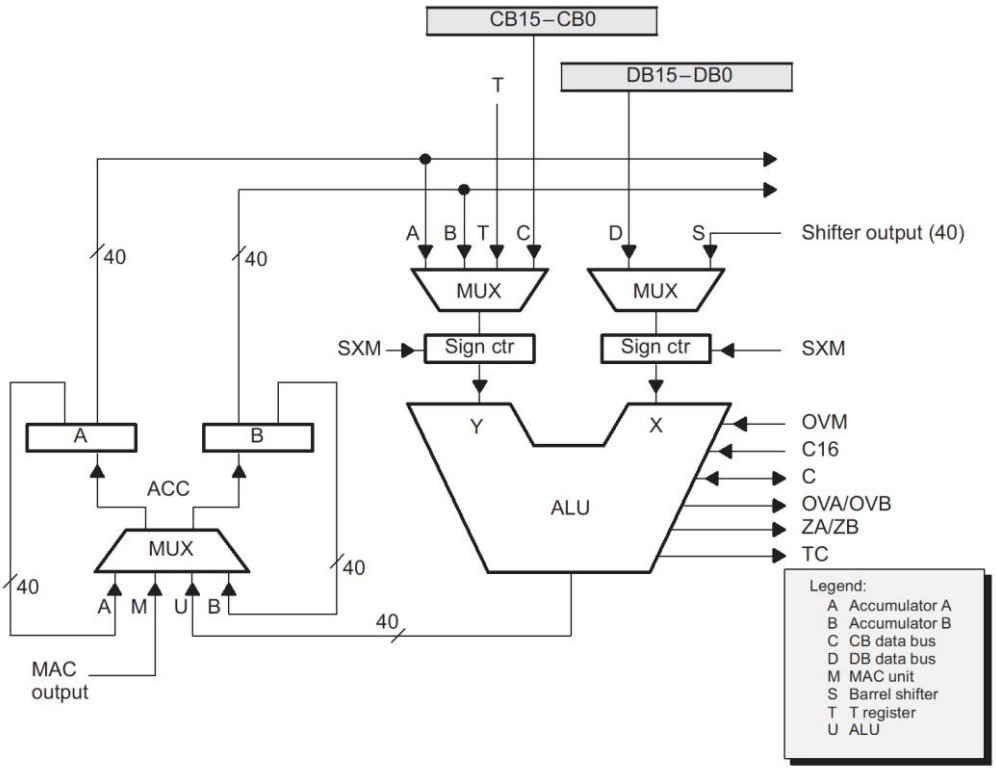


شکل ۱) معماری پردازنده

CPU

CPU سری 54x شامل قسمتهای زیر است.

- یک ALU چهل بیتی، این ALU می تواند هم به صورت تکی و هم به صورت دو ALU 16 بیتی کار کند.



شکل۲) بخش محاسباتی پردازنده

- دو انبار چهل بیتی ، ACCA و ACCB که هر کدام شامل سه قسمت بیتهای گارد (بیت 31-16) ، یک high – order word (بیت 31-16) ، یک low order (بیت 5-0) می باشد.
- یک شیفت دهنده
- یک ضرب کننده / جمع کننده 17×17 بیتی ، این واحد شامل قسمتهای زیادی از جمله : یک ضرب کننده ، یک جمع کننده ، کنترل ورودی با علامت / بی علامت، کنترل کسری ، یک تشخیص دهنده صفر، یک روند کننده (مکمل ۲) ، منطق سرریز/ اشباع و TREG . ضرب کننده دو ورودی دارد، یک ورودی از TREG انتخاب می شود، یک عملوند حافظه دیتا یا یک انباره دیگری از حافظه برنامه یا حافظه دیتا یا یک انباره با یک مقدار immediate انتخاب می شود. ضرب کننده درونی سریع به 54x اجازه انجام عملیاتی چون کانولوشن ، کورولیشن و فیلتر سازی را به طور مناسبی می دهد.
- واحد ذخیره و انتخاب ومقایسه : این واحد بین کلمه بالا و پایین انباره مقایسه انجام می‌دهد، به بیت TC (Test / contol) در ثبات حالت 0 (st0) و ثبات انتقال

(TRN) اجازه می‌دهد که پیشـــینه انتقال خود را حفظ کنند و کلمه‌ای در انباره را جهت ذخیره در حافظه دیتا انتخاب می‌کند.

کنترل برنامه

کنترل برنامه با مکانیزمهای سخت افزار و نرم افزار زیادی انجام می‌شود:

- کنترلر برنامه دستورات را رمز گشایی می کند. عملیات لوله‌ای را مدیریت می کند ، حالات عملیات را ذخیره می کند و عملیات شرطی را رمز گشایی می کند. بعضی از المانهای ســخت افزار موجود در کنترلر برنامه عبارتند از: شــمارنده برنامه ، ثبات کنترل و حالت ، پشته و منطق تولید آدرس.
- بعضـــی ازمکانیزمهای نرم افزار مورد اســـتفاده برای کنترل برنامه عبارتند از : پرشها صدا زدنها ، دستورهای شرطی ، دستور تکرار ، ری ست و وقفه‌ها .

ساختار باس

54x هشـــت باس 16 بیتی اصـــلی دارد: یک باس خواندن – برنامه (PB) که کد دســـتور و عملوندهای immediate را از حافظه برنامه حمل می‌کند. دو باس خواندن – دیتا (CB,DB) و یک باس نوشتن – دیتا (EB) که با المانهای زیادی مانند CPU ، منطق تولید آدرس – دیتا ، منطق تولید آدرس – برنامه، اجزا درون آی ســـی و حافظه دیتا مرتبط اســـت. CB, DB عملوندهای خوانده شده از حافظه دیتا را حمل می‌کنند. EB دیتایی را که در حافظه نو شته می‌شـــود ، حمل می کند. چهار باس آدرس(PAB, CAB, DAB, EAB) که آدرســـهای لازم برای اجرای دستور را حمل می‌کند. استفاده این باسها مطابق جدول زیراست.

Access Type	Address Bus			Program Bus		Data Bus		
	PAB	CAB	DAB	EAB	PB	CB	DB	EB
Program read	√				√			
Program write	√							√
Data single read			√				√	
Data dual read		√	√			√	√	
Data long (32-bit) read		√(hw)	√(lw)			√(hw)	√(lw)	
Data single write				√				√
Data read/data write			√	√			√	√
Dual read/coefficient read	√	√	√		√	√	√	
Peripheral read			√				√	
Peripheral write				√				√

Legend:
hw = high 16-bit word
lw = low 16-bit word

جدول ۲) استفاده از باس های آدرس

حافظه

حافظه 54x شامل انواع زیر می باشد.

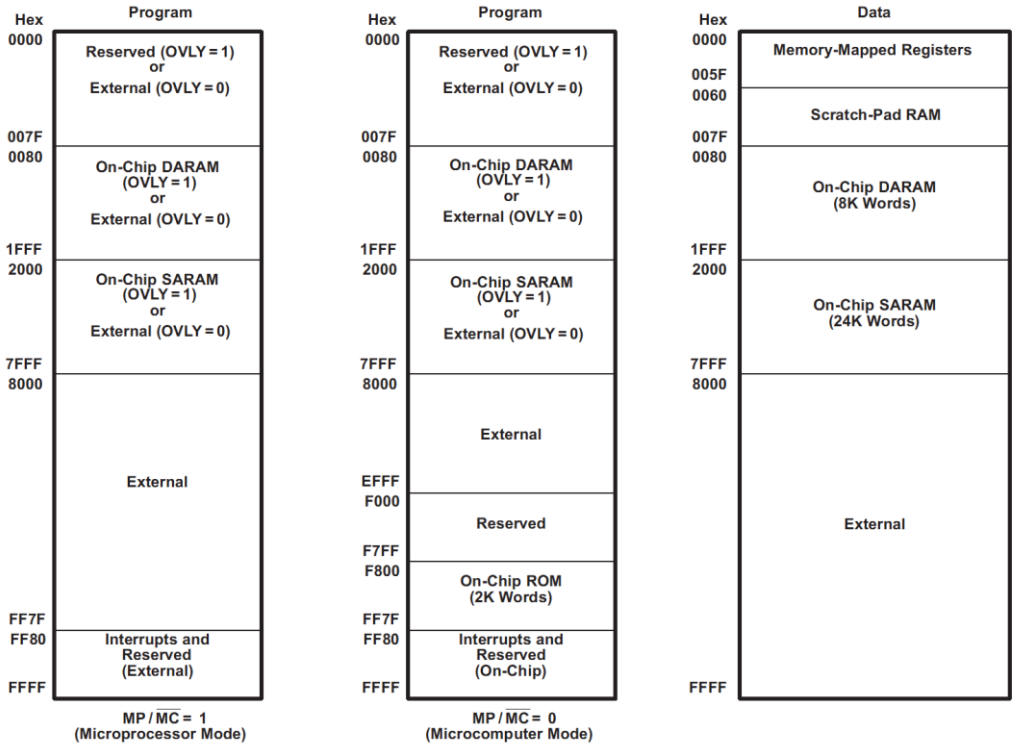
- ROM درون آی سی
- RAM دو – دسترسه درون آی سی (DARAM) هر کدام از این بلوکهای RAM می‌توانند دریک سیکل ماشین دوبار قابل دسترسی باشند . این حافظه برای ذخیره مقادیر دیتا در نظر گرفته شده ولی از آن می توان به خوبی برای ذخیره برنامه هم استفاده کرد . در زمان ری ست ، DARAM در فضای حافظه دیتا کپی می‌شود. DARAMA همچنین می تواند توسط ست کردن بیت OVLY در ثبات PMST در فضای حافظه دیتا برنامه کپی شود.
- RAM تک د ستر سه درون آی سی (SARAM) هر کدام ازبلوکهای این RAM می توانند در یک سیکل ماشین فقط یک بار قابل دسترسی باشند. این حافظه هم برای ذخیره مقادیر دیتا در نظر گرفته شده ولی از آن می‌توان به خوبی برای ذخیره برنامه هم استفاده کرد . در موقع ری ست SARAM در فضای OVLY در ثبات PMST در فضای حافظه دیتا / برنامه کپی شود.

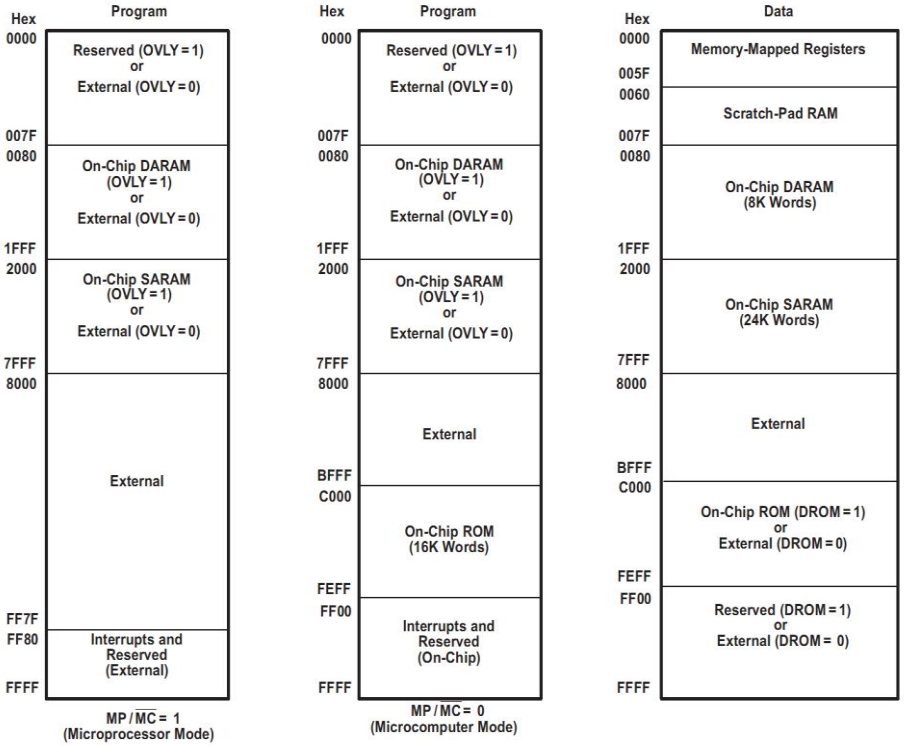
آی سی های 54x یک انتخاب قابل Mask هم دارند تا بتوانند از حافظه‌های درون آی سی محافظت کنند وقتی بیت مربوطه ست می شود هیچ دستور با مبدا خارجی نمی تواند به فضای حافظه درون آی سی دسترسی پیدا کند. نمودار حافظه آی سی‌های مختلف 54x به صورت زیر است . توجه کنید که کلمه‌های این حافظه‌ها 16 بیتی هستند.

	C541	LC541	LC541B	C542	LC542	LC543	LC545A	LC546A	LC548	LC549	VC549	U/VC5402	U/VC5409	VC5410	VC5416	VC5420	VC5421	VC5441
Memory (On-chip)																		
RAM (K) (single access)									24	24	24			56	64	168	64	256
RAM (K) (dual access)	5	5	5	10	10	10	6	6	8	8	8	16	32	8	64	32	64	128
RAM (K) (two-way shared)																	128	256
ROM (K)	28	28	28	2	2	2	48	48	2	16	16	4	16	16	16		4	
Memory Security	√	√	√	√	√	√	√	√	√	√	√	√	√	√	√			

جدول ۳) نمودار حافظه پردازنده

مدل حافظه برای C548 و C549 مطابق شکل زیر است .



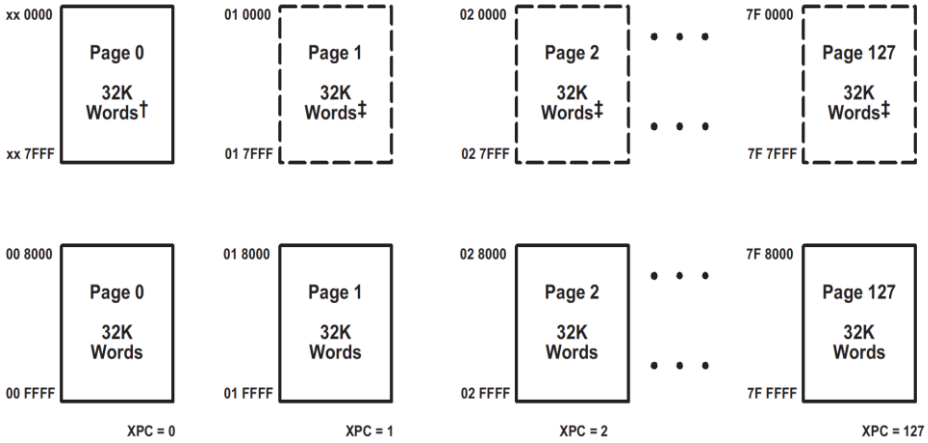


شکل ۳) مدل حافظه پردازنده

❖ حافظه برنامه بسط یافته (فقط 548,549)

آی سی‌های 548, 549 از یک حافظه بسط یافته استفاده می کنند تا دسترسی به بالاتر از 8M حافظه برنامه را ممکن سازند . این حافظه در 128 صفحه ترکیب بندی شده است که طول هر کدام 64k است. برای پیاده سازی این حافظه، 548, 549 چند جزء اضافه تر دارند.

- هفت خط آدرس اضافی (روی هم ۲۳ خط)
- یک ثبات تصویر ساز – حافظه اضافی (xpc)
- شش دستور جدید برای آدرس دهی فضای بسط یافته حافظه برنامه
- دو دستور WRITA,READA برای استفاده 23 بیت در 548,549 ارتقاء یافته‌اند.



شکل ۴) حافظه بسط یافته

اجزاء درون آی سی

همه 54x ساختار CPU یکسانی دارند ولی اجزا درونی متصل به CPU آنها متفاوت است

این اجزا عبارتند از:

تولید کننده Wait – state با قابلیت برنامه ریزی به صورت نرم افزاری

- سوئیچینگ بانک قابل برنامه ریزی
- پورتهای I/O موازی
- پورتهای سریال (استاندارد، BSP, TDM)
- یک تایمر سخت افزاری
- یک مولد کلاک (با یک PLL چند تایی روی 549)

واسط پورت Host (فقط 548,545,452 , 549)

واسط پورت host (HPI) یک پورت موازی ۸ بیتی است که به عنوان یک واسط بین یک پردازنده Host به آی سی DSP عمل می کند . اطلاعات بین آی سی DSP و پردازنده host از طریق حافظه درون آی سی DSP (که برای هم Host و هم آی سی DSP) قابل دسترسی است منتقل می شود. آی سی DSP به ثبات کنترل HPI(HPIC) دسترسی دارد و host می تواند حافظه HPI را از طریق ثبات آدرس HPI (HPIC) آدرس دهی کند. حافظه HPI یک بلوک DARAM word – 2k است که در حافظه دیتا از 1000h تا 17FFh

قرار دارد که البته این حافظه می تواند به عنوان یک DARAM همه منظوره هم اســـتفاده شود.

انتقال دیتا به صورت کلمات 16 بیتی به صورت دو بایت متوالی با یک پین اختصا صی یافته (HBIL) صـــورت می گیرد که مشـــخص می کند آیا بایت بالایی یا پایینی منتقل می شود. دو پایه کنترل HCNTLI , HCNTLO ، دسترسی host به HPI (با یک افزایش آدرس خود کار انتخابی) یا HPIC را کنترل می کنند . Host می تواند با نوشـــتن در HPIC به آی ســـی DSP وقفه بدهد و آی ســـی DSP هم می تواند با پین HINT به host وقفه بدهد که host می‌تواند تصدیق کند یا پاسخ بدهد.

HPI دو مود عملیات دارد: مود دسترسی – مشترک (SAM) و مود فقط host(HOM) . در SAM مود معمول عملیات ، هم آی ســـی DSP و هم Host می‌توانند به حافظه HPI دسترسی داشته باشند. در این مود دسترسی‌های آسنکرون host به طور داخلی سنکرون می‌شوند و در حالت تداخل، host اولویت دسترسی دارد و آی سی DSP یک سیکل صبر می‌کند. قابلیت HOM در زمانی که آی ســـی DSP در حالت IDLE2 اســـت (همه کلاکهای داخلی متوقف شـده اند) یا در حالت ری ست به host اجازه دسـترسـی به حافظه HPI را می دهد . بنابراین host در زمانی که آی سی DSP در بهترین وضعیت مصرف توان است به HPIRAM قابلیت دسترسی دارد.

ثبات کنترل HPI دو Strobe دیتای HDS1 و HDS2 ، یک strobe خواندن / نوشـــتن HR/W و یک strobe آدرس HAS دارد تا یک واســـط روان را برای انواع تجهیزات host استاندارد صنعت ممکن سازد . HPI به آسانی با باس آدرس / دیتا ترکیبی، باسهای آدرس و دیتای جدا با یک strobe دیتا و یک strobe خواندن / نوشـــتن یا دو strobe جدا برای خواندن و نوشتن به Host مرتبط می شود.

در SAM , HPI می‌تواند یک بایت از هر پنج پریود آی ســی DSP را کنترل کند. یعنی ٦٤ MBPS با آی سی 40 MIPS یا 160 MBPS با آی سی 100 MIPS . HPI طوری طراحی شـده که می تواند از این پهنای باند بالا هم بالاتر عمل کند و در فرکانس (f×n) کار کند که n تعداد سیکلهای Host برای یک دسترسی خارجی است و f فرکانس آی سی DSP است.

در HOM, HPI دسترسی‌های پشت به پشت سرعت بالا را با نرخ یک بایت در هر 50 ns حمایت می کند، یعنی 160 MBps با یک آی سی 40 یا سریعتر .

پورت سریال

آی سی 54x پورت‌های سریال کاملا دو سویه سرعت بالایی را فراهم می کند که اجازه ارتباط مستقیم با آی سی‌های 54x دیگر، codec ها و دیگر اجزا را می دهد. انواع پورتهای سریال عبارتند از پورت سریال استاندارد، پورت سریال – Time-Division Multiplexed (TDM) و پورت سریال بافر شده (BSP) . آی سی‌های 549 یک خاصیت تشخیص دارند که به آی سی اجازه تشخیص گم شدن کلمه یا کلمات در خط دیتا سریال را می‌دهد.

پورت سریال همه منظوره دو ثبات کپی – حافظه برای انتقال دیتا دارد. ثبات ارسال دیتا (DXP) و ثبات دریافت دیتا(DRR) . قسمتهای دریافت و ارسال پورت سریال هر کدام کلاکهای متناظر، پالسهای سنکرون کردن فریم و ثباتهای شیفت سریال دارند و دیتای سریال می‌تواند به صورت 8 بیتی یا 16 بیتی شود . عملیات دریافت و ارسال پورت سریال می‌تواند وقفه‌های دریافت و ارسال قابل ماسک (XINT , RINT) را تولید کند.(البته با مدیریت از طریق نرم افزار) . پورتهای سریال54x دو بافره و کاملاً استاتیک هستند .

ثباتهای واسط پورت سریال عبارتند از:

- ثبات دریافت دیتا (DRR) این ثبات 16 بیتی دیتای ورودی از ثبات RSR (توضیح در زیر) را نگه می دارد و آن را به باس دیتا منتقل می‌کند. در زمان ری ست این ثبات پاک می شود.
- ثبات ارسال دیتا (DXR) این ثبات 16 بیتی سریال ، خروجی از دیتا باس را نگه می دارد و آن را به ثبات XSR منتقل می کند. در زمان ری ست این ثبات پاک می شود.
- ثبات کنترل پورت سریال (SPC) . این ثبات 16 بیتی شامل بیتهای وضعیت و کنترل مود پورت سریال و به طور کلی اطلاعات کنترلی تبادلات پورت سریال می‌باشد.
- ثبات شیفت دریافت دیتا (RSR) : این ثبات 16 بیتی دیتای ورودی از پین DR را نگهداری می کند و انتقال دیتا به DRR را کنترل می‌کند.

ثبات شیفت ارسال دیتا(XSR) : این ثبات 16 بیتی دیتای خروجی از DXR را کنترل می کند و دیتا را نگه می‌دارد.

پینهای پورت سریال عبارتند از:

CLKR سیگنال کلاک دریافت

CLKX سیگنال کلاک ارسال

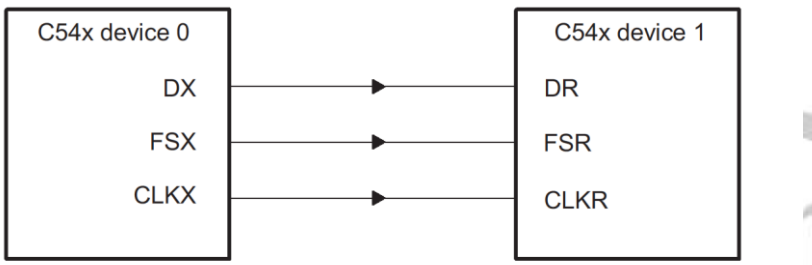
DR سیگنال دیتا سریال دریافت شده

DX سیگنال دیتا سریال ارسال شده

FSR سیگنال سنکرون کردن فریمینگ دریافت

FSX سیگنال سنکردن کردن فریمینگ ارسال

شکل زیر نشان می‌دهد که چگونه پینها در منطق پورت سریال به هم وصل می شوند و چگونه دو بافره پیاده سازی می‌شود.

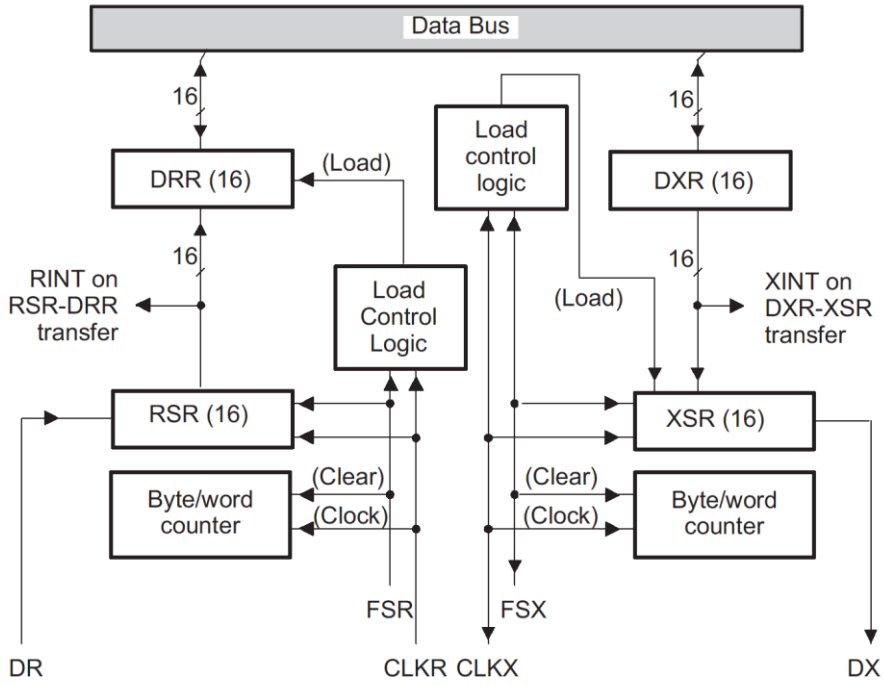


شکل ۵) اتصالات پورت سریال

مراحل ارسال دیتا به این صورت است که دیتا ارسالی در DXR نوشته می‌شود(همزمان با وقتی که دیتای دریافتی از DRR خوانده می شود) . با نوشتن دیتا در DXR یک ارسال شروع می‌شود و دیتا (در زمان خالی بودن XSR) در XSR کپی می‌شود(خالی بودن XSR به این معناست که آخرین کلمه به طور سریال از طریق DX ارسال شده است) XSR شیفت دیتا به پین DX را مدیریت می کند ، بنابراین اجازه یک نوشتن دیگر در DXR را بلافاصله بعد از تکمیل کپی DXR به XSR می دهد. در طول ارسال، پس از تکمیل کپی DXR به XSR یک تبدیل صفر به یک در بیت transmit Ready(XRDY) در ثبات SPC رخ می دهد . این تبدیل صفر به یک ، وقفه ارسال پورت سریال (XINT) را تولید می کند که معرف این است که DXR برای لود دوباره آماده است.

عملیات در سمت دریافت هم مشابه است. دیتا از پین DR به درون RSR شیفت داده می شود و به درون DRR کپی می شود که از آنجا خوانده شود. بعد از تکمیل کپی از RSR به DRR یک تبدیل صفر به یک در بیت Receive Ready (RRDY) در ثبات SPC رخ می‌دهد. این تبدیل صفر به یک ، یک وقفه دریافت پورت سریال (RINT) تولید می‌کند. بنابراین پورت سریال دو بافره شده است. چون دیتا می‌تواند به یا از DXR یا DRR منتقل شود ، وقتی دریافت یا ارسال دیگری انجام می‌شود.

بلوک دیاگرام معماری پورت سریال به صورت زیر است:



شکل ۶) بلوک دیاگرام معماری پورت سریال

جدول زیر انواع پورت سریال موجود در آی سی های مختلف 54x را مقایسه می‌کند.

Device	Standard Synchronous Serial Ports	Buffered Serial Ports	MultiChannel Buffered Serial Ports	Time-Division Multiplexed Serial Ports
C541	2	0	0	0
C542	0	1	0	1
C543	0	1	0	1
C545	1	1	0	0
C546	1	1	0	0
C548	0	2	0	1
C549	0	2	0	1
C5402	0	0	2	0
C5410	0	0	3	0
C5420	0	0	6	0

جدول ۴) انواع پورت سریال

WikiPower.ir

برای دریافت فایل Wordپروژه به سایت ویکی پاور مراجعه کنید. فاقد آرم سایت و به همراه فونت های لازمه

فصل سوم:

استاندارد G.729

WikiPower.ir

این استاندارد الگوریتمی را برای کد کردن سیگنال گفتار در 8kbit/s با استفاده از روش (CS-ACELP) ارائه می‌دهد. این کدر برای فشرده سازی یک سیگنال دیجیتال که از سیگنال آنالوگ ورودی با Sample کردن آن در 8000Hz ($\frac{8000\ Sample}{\text{ثانیه}}$) و سپس به ۱۶ بیت با روش Linear PCM تبدیل شده است ، استفاده می شود (به عنوان ورودی به Encoder). خروجی Decoder باید مجدداً با روش مـ شابه به سیگنال آنالوگ تبدیل شود. سیگنال های ورودی – خروجی با ویژگیهای دیگر مثل آنهایی که توسط استاندارد G.711 برای PCM data ،64Kbit/s تعریف شده است ، باید قبل از Encode کردن به bit linear PCM تبدیل شوند یا بعد از Decoder از 16 – bit Linear PCM به فرمت مورد نظر تبدیل گردند.

توضیح کلی در مورد کد کننده

کد کنندهٔ CS-ACELP براساس مدل کدینگ Code–Excited Linear– Prediction(CELP) می باشد. این مدل جزو کد کننده‌های hybrid form است. در کد کننده‌های form Source (Vocoder) فقط اطلاعات ساده شده در مورد انتقال صدا فر ستاده می شود. از این مدل در bit rate های پایین ا ستفاده می شود. در bit rate های بالا مثلا 32 Kbit/s یا 64Kbit / s از Wave form codor استفاده می‌گردد که از ویژگیهای سیگنالی صوت استفاده می کند. حد وسط این دو مدل Hybrid form می‌باشد. کد کننده در استاندارد G.729 با فریمهای گفتاری به طول 10ms که مربوط به ۸۰ نمونه (Sample) می‌باشند با نرخ نمونه برداری سمیل ۸۰۰۰ کار می کند . در هر فریم ۱۰ms ای ، سیگنال گفتار برای بد ست آوردن پارامترهای مدل CELP (شامل ضرایب فیلتر تخمین خطی Linear – Prediction شاخص‌های fixed – codebook adaptive and و گین

ها) آنالیز می‌شـــود. در decoder از این پارامترها برای اســـتخراج پارامترهای تحریکی و ترکیبی فیلتر استفاده می‌شود.

دلیل انتخاب G.729

اســتاندارد G.729 که آخرین توصـیه مصـوب ITU-T می باشـد که یک الگوریتم کدینگ صـــحبت با نرخ بیت پایین ۸ kb/s می باشـــد. این نرخ بیت پایین این مزیت را دارد که نیاز امروز را از نظر پهنای باند تامین می کند و از مابقی پهنای باند می توان برای کاربردهای دیگر استفاده کرد.

- ❖ G.729 استاندارد ITU با کمترین bit rate است.
- ❖ یکی از استانداردهایی است که برای همهٔ کاربردها از جمله بی سیم بیشتر از بقیه آزمایش شده است.
- ❖ استاندارد بصورت bit- exact است و در نتیجه بدون توجه به نحوهٔ پیاده سازی ، کیفیت آن یکسان باقی می ماند.
- ❖ کیفیت G.729 در مقایســـه با دیگر Vocoderهای نرخ بیت پایین ، کمتر تحت تاثیر انتقال خطا قرار می‌گیرد.
- ❖ ضمایم آن بصورت زیر است :

(Digital Simultaneous Voice and Data) DSVD : Annex A

VAD / CNG / DTX : Annex B

(Voice Activity Detection / Comfort Noise Generator/ Discontinuos Transmission)

Annex C نسخه Floating Point در G.729 و ضمایم آن

Annex D : گسترش در 6.4 Kb/s

Annex E گسترش در 11.8 Kb/s

- ❖ G.729 یک کیفیت صدا منطبق بر شبکه تلفنی سوئیچ عمومی (PSTN) تولید می‌کند در حالی که فقط 8 Kb/s اســتفاده می کند . یعنی این مقدار اگر در ۸ ضــرب شــود

ظرفیت واقعی شبکه بدست می‌آید و G.729 با همین bit Rate کم کیفیت مطلوب Service Provider های تلفنی را تامین می کند.

- با Annex D و Annex E ، G.729 یک bit Rate متغیر سازگار برای کار کردن با تجهیزات چند منظوره مداری را دارا می باشد. در نتیجه در زمانهای ترافیک شبکه ، عملکرد می‌تواند در ٦/٤ Kb/s با می‌نیمم تاثیر در خراب کردن کیفیت گفتار ادامه پیدا کند. در عوض هرگاه که پهنای باند کافی در دست باشد ، Bit Rate می تواند تا ١١/٨ Kb/s برای بهتر کردن عملکرد با وجود پس زمینه نویز افزایش یابد.
- به علت Bit Rate کم G.729 ، می توان Voice و Data را با هم فرستاد و در نتیجه هزینهٔ انتقال کاهش می‌یابد.

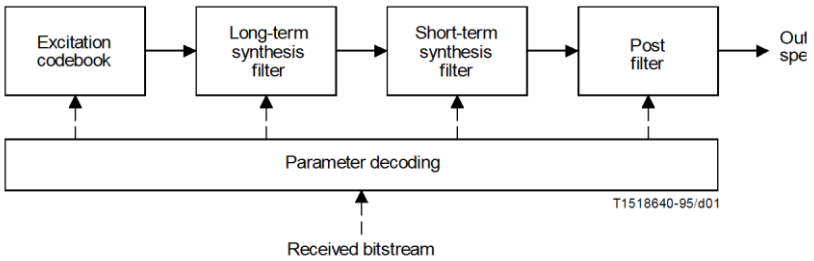
در نیتجه استاندارد G.729 یک انتخاب بهینه بین نیازهای ارتباطات صدا در کیفیت گفتار فشرده شده و نیازهای پهنای باند با تاخیر قابل قبول می با شد. در نتیجه پا سخ منا سبی برای سیستهای ارتباطات بسته‌ای (Packet) مدرن می‌باشد.

بلوک دیاگرام مدل CELP

همانطور که گفته شد در هر فریم ١٠ ms ای ، سیگنال گفتار برای استخراج پارامترهای مدل CELP آنالیز می‌شود. این پارامترها encode شده و فرستاده می‌شوند . بیتهای اختصاص داده شده پارامترهای کدر در جدول زیر نشان داده شده است. در Decoder این پارامترها برای بدست آوردن پارامترهای فیلتر ترکیبی و تحریک بکار برده می شوند. گفتار با فیلتر کردن این تحریک از میان فیلتر ترکیبی Short – Term ، همانطور که در شکل زیر نشان داده شده بازسازی می شود. فیلتر ترکیبی Short – Term براساس فیلتر درجه 10 LP (Linear Prediction) می‌باشد فیلتر Long – Term یا فیلتر ترکیبی Pitch از طریق Adaptive – Codebook بدست می‌آید پس از محاسبه سیگنال بازسازی شده، گفتار از طریق یک Post Filter بهبود داده می شود.

Bit allocation of the 8 kbit/s CS-ACELP algorithm (10 ms frame)

Parameter	Codeword	Subframe 1	Subframe 2	
Line spectrum pairs	*L0*, *L1*, *L2*, *L3*			
Adaptive-codebook delay	*P1*, *P2*	8	5	
Pitch-delay parity	*P0*	1		
Fixed-codebook index	*C1*, *C2*	13	13	
Fixed-codebook sign	*S1*, *S2*	4	4	
Codebook gains (stage 1)	*GA1*, *GA2*	3	3	
Codebook gains (stage 2)	*GB1*, *GB2*	4	4	
Total				

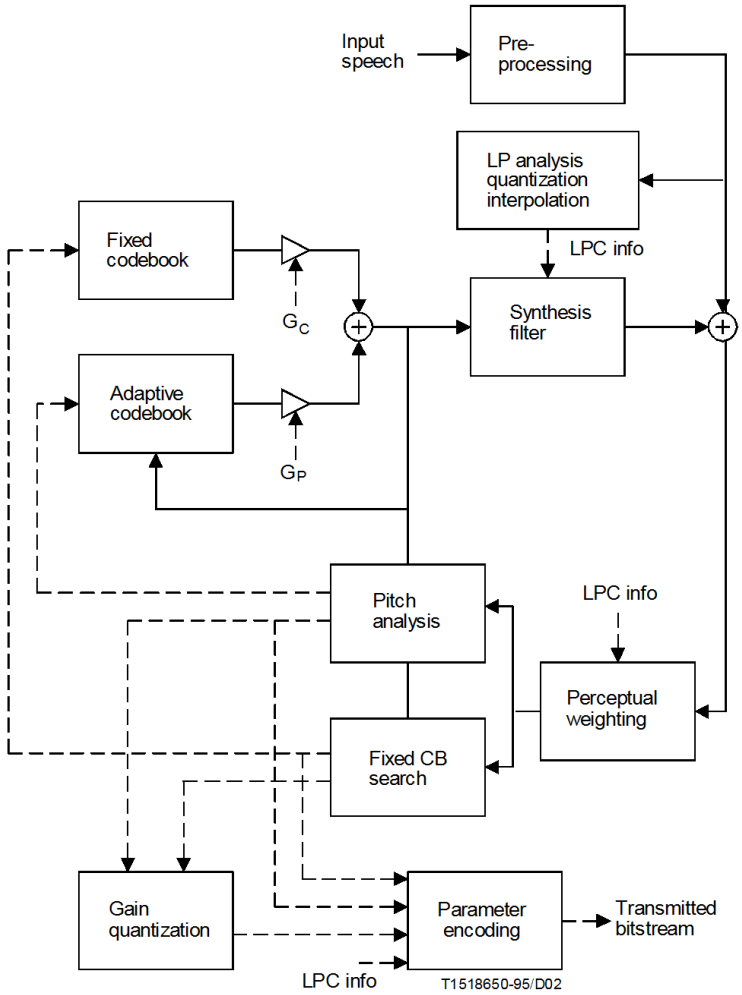


شکل ۷) بلوک دیاگرام استاندارد

بلوکهای G.729

❖ Encoder

قاعدهٔ Encode کردن در شکل زیر نشان داده شده است . سیگنال ورودی در ابتدا از یک فیلتر بالاگذر عبور می‌کند و در یک عدد ضرب می‌شود که این کارها در بلوک پیش پردازنده (Pre – Processing) انجام می‌شود . سیگنال پیش پردازش شده به عنوان ورودی برای تمام آنالیزهای دیگر استفاده می شود. آنالیز LP درهر فریم ۱۰ ms برای محاسبه ضرایب فیلتر LP انجام می‌شود . این ضرایب سپس به ضرایب LSP (Line Spectrum Pairs) و کوانتیزه شده با استفاده از روش کوانتیزا سیون برداری ۲ طبقه‌ای (VQ) با ۱۸ بیت تبدیل می‌شوند.



شکل ۸) ساختار Encoder

سیگنال تحریک با ا ستفاده از پرو سه جـستجوی آنالیزی و ترکیبی (Analysis – by – Synthesion) که در آن خطای بین گفتار ابتدایی و بازســـازی شـــده برطبق اندازه‌گیری اعوجاج وزن داده شـده می نیمم می شـود، انتخاب می‌گردد . این عمل توسـط فیلتر کردن سیگنال خطا با یک فیلتر وزن دهی که ضرایب آن از فیلتر LP کوانتیزه نشده بدست می‌آید انجام می‌شـــود. مقدار وزن برای بهتر کردن عملکرد برای ســـیگنالهای ورودی با پاســـخ فرکانسی صاف سازگار می‌شود.

پارامتر های تحر یک (Fixed and adaptive – code book parameters) در هر Subframe ٥ میلی ثانیه‌ای (٤٠Sample) تعیین می گردند . ضـــرایب فیلتر LP کوانتیزه

شده و کوانتیزه نشده در Subframe دوم استفاده می شوند. در حالی که در Subframe اول ضرایب فیلتر LP درون یابی شده(Interpolated) که شامل هر دو حالت کوانتیزه شده و کوانتیزه نشده می‌شوند ، استفاده می‌گردند. یک تاخیر Pitch حلقه باز Pitch (Open – Loop Delay) در هر فریم ۱۰ms ای براساس سیگنال گفتار وزن دهی شده محاسبه می گردد سپس عملیات زیر برای هر Subframe تکرار می‌شود.

سیگنال هدف $x_{(n)}$ (The Target Signal) با فیلتر کردن LP residual از فیلتر ترکیبی وزن دهی $\frac{W(Z)}{A(Z)}$ بدست می آید . حالات اولیه این فیلترها با فیلتر کردن خطای بین LP residual و سیگنال تحریک به روز می شود . پا سخ ضربه h(n) فیلتر ترکیبی وزن دهی پیدا می شود. سپس آنالیز Pitch حلقه بسته (Closed Loop pitch Analysis) برای پیدا کردن تاخیر Adaptive – code book و بهره با استفاه سیگنال هدف x(n) و پاسخ ضربه h(n) انجام می‌شود که این کار مستلزم جستجو در حول و حوش مقدار تاخیر Pitch حلقه باز (Open –Loop pitch Delay) می باشد. یک تاخیر Pitch کسری با رزلو شن $\frac{1}{3}$ به کار بره می شود . تاخیر Pitch با ۸ بیت در Subfram اول ، Encode می شود و بصورت تفاضلی با ۵ بیت در Subfram دوم Encode می گردد. سیگنال هدف x(n) با کم کرن سهم adaptive– codebook فیلتر شده Update می‌شود و این هدف جدید x(n) برای پیدا کردن تحریک بهینه در جستجوی Fixed-codebook بکار برده می شود .یک Codebook جبری با ۱۷ بیت برای تحریک Fixed – Codebook استفاده می شد. بهره‌های توزیع Fixed Codebook و Adaptive codebook با ۷ بیت با استفاده از روش MA بصورت برداری کوانتیزه می شوند و در نهایت حافظه‌های فیلتر با استفاده از سیگنال تحریک تعیین شده Update می‌شوند.

❖ Decoder

قاعدهٔ Decode کردن در شکل زیر نشان داده شده است . ابتدا شاخص‌های پارامترها از Bit Stream ورودی استخراج می‌شوند سپس این شاخص‌ها برای بدست آوردن پارامترهای کدر مربوط به هر فریم گفتار ۱۰ms ای ، Decode می‌شوند این پارامترها

توضیح عملی Encoder

در این بخش توابع مختلف Encoder توضیح داده می‌شوند .

پیش پردازش Pre – Processing

همانطور که قبلاً گفته شد ورودی Encoder یک سیگنال PCM ۱۶ بیتی ا ست . دو تابع یش پردازشی قبل از عمل Encode کردن به سیگنال اعمال می‌شود.

۱- Scale کردن سیگنال : یعنی تقسیم کردن سیگنال ورودی بر عدد ۲ جهت کاهش احتمال Over flow درپیاده سازی fixed – point

۲- عبور دادن از فیلتر بالاگذر، برای از بین بردن اجزاء نامطلوب فرکانس پایین برای این کاریک فیلتر درجهٔ دوم صفر / قطب با فرکانس قطع ۱۴۰ Hz به کار برده می شود. عمل Scale کردن و فیلتر کردن با تقسیم ضرایب صورت فیلتر بر ۲ با هم ترکیب شده‌اند و فیلتر حاصل به صورت زیراست.

$$Hh(z)=\frac{0.46363718-0.92724705z-1+0.46363718z-2}{1-1.9059465z-1+0.9114024z-2}$$

سیگنال خروجی این فیلتر S(n) نامیده می شود.

آنالیز تخمین خطی وکونتیزاسیون

آنالیز Short – Term و فیلترهای ترکیبی براساس فیلترهای تخمین خطی(LP) درجه ۱۰ می باشند . فیلتر ترکیبی LP بصورت زیر تعریف می‌شود.

$$\frac{1}{A(z)}=\frac{1}{1+\sum_{i=1}^{10}aiz^{-i}} \qquad ai,i=1,...,10$$

روشهای کلی بدست آوردن ضرایب LP عبارتند از:

۱- Autocorrelation : با کمک الگوریتم لوینسون دوربین که باید قبل از آن ، سیگنال پنجره شود.

۲- Covariance : نیازی به پنجره کردن سیگنال نیست .

۳- روش Burg

خوبی روش اول (Auto correlation) این است که فیلتر نتیجه همیشه پایدار است. در نتیجه در اینجا تخمین Short – Term یا آنالیز تخمین خطی در هر فریم گفتار با استفاده از روش Auto Correlation سیگنال گفتار پنجره نامتقارن ۳ms ای انجام می شود. با هر ۸۰ نمونه (۱۰ ms) ضرایب autocorrelation سیگنال گفتار پنجره شده محاسبه و به ضرایب LP با استفاده از الگوریتم لوینس تبدیل می شوند. سپس ضرایب LP برای اهداف کوانتیزاسیون و درون یابی به LSP تبدیل می شوند . فیلترهای کوانتیزه شده و نشده درون یابی شده مجددا به ضرایب فیلتر LP برای ساختن فیلترهای وزن دهی و ترکیبی در هر subframe تبدیل می شوند .مدل تولید سیگنال گفتار برای LPC به صورت شکل زیر ا ست. ضرایب این فیلتر در هر فریم که تو سط پنجره م شخص شده در ق سمت بعد پنجره می شود بدست می آید.

WikiPower.ir

پنجره کردن و محاسبه Auto Correction

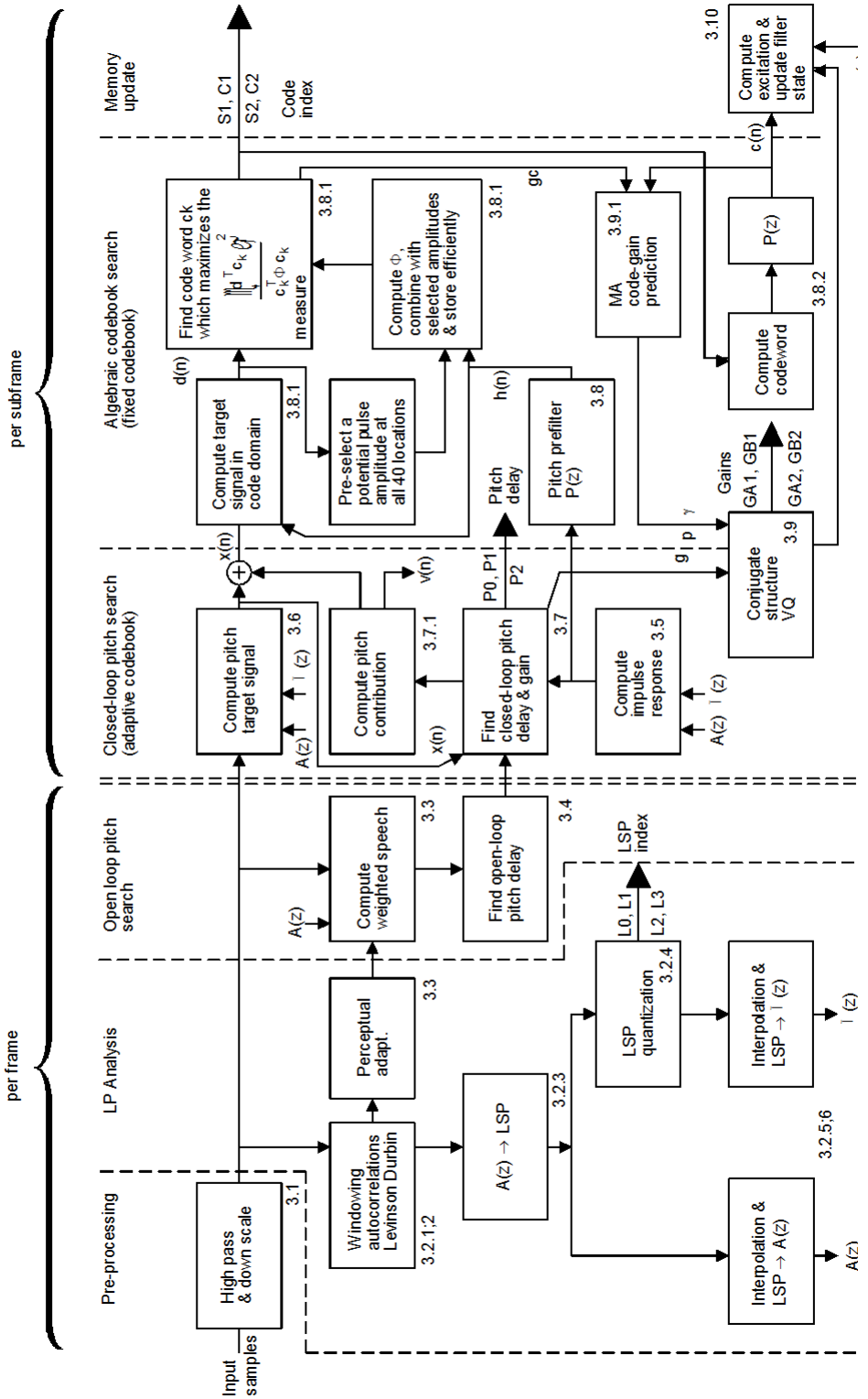
پنجره آنالیز LP از دو بخش تشکیل شده است بخش اول نیمه یک پنجره Hamming می باشد و بخش دو ربع یک سیکل کسینوسی است. این پنجره بصورت زیر تعریف می‌شود.

$$w/p\,(n) = \begin{cases} 0.54 - 0.46\cos\left(\frac{2\pi m}{399}\right) & n = 0,\ldots,199 \\ \cos\left(\frac{2\pi(n-200)}{159}\right) & n = 200,\ldots,239 \end{cases}$$

پنجره آنالیز LP همانطور که شکل زیر ن شان می‌دهد به ۱۲۰ سمبل از فریم گفتاری قبل ، ۸۰ سمبل از فریم گفتار فعلی و ۴۰ سمبل از فریم بعدی اعمال می شود. در نتیجه سیگنال برای محاسباتی با سیگنالهای ورودی سطح پایین یک حد پایین برای r(0) تعیین می شود:

$r(0) = 1.0$

برای دریافت فایل Wordپروژه به سایت ویکی پاور مراجعه کنید. فاقد آرم سایت و به همراه فونت های لازمه



از آنجا که آنالیز LP ممکن است فیلتری با پیک طیفی خیلی تیز ایجاد کند از روش گسترش پهنای باند ا ستفاده می‌کنیم که بیشتر بر دامنه فرکانسهای Formant اثر می‌گذارد . برای این کار r(k) را در $W_{lag}(k)$ ضرب می‌کنیم .

$$W_{lag}(k)=\exp\left[-\frac{1}{2}\left(\frac{2\pi fo^{k}}{f_s}\right)^2\right] \quad k=1,...,10$$

رابطه بالا با $f_0=60H_z$ و $f_s=8000H_z$ می‌باشد همچنین برای کم کردن رنج دینامیکی برای راحتی محاسبات ، یک نویز low Level به آن اضافه می‌کنیم .

$$r'(0)=1.0001r(0)$$
$$r'(k)=wLag(k)r(k) \qquad k=1,...,10$$

الگوریتم لوینسن – دوربین

از ضرایب Auto Correlation $r'(k)$ برای بدست آوردن ضرایب فیلتر LP استفاده می شود. یعنی باید مجموعه معادلات زیر را حل کرد.

$$\sum_{i-1}^{10} a_i r'(|i-k|)=-r'(k) \qquad k=1,...,10$$

این مجموعه معادلات با ا ستفاده از الگوریتم لویذسن – دوربین حل می شوند که از روابط بازگشتی زیر استفاده می‌کند.

$$E^{[0]}=r'(0)$$
$$for\ i=1\ to\ 10$$
$$a_0^{[i-1]}=1$$
$$k_i=-\left[\sum_{j=0}^{i-1} a_j^{[i-1]} r'(i\right]/E^{[i-1]}$$
$$a_0^{[i]}=k_i$$
$$for\ \ j=1\ to\ i-1$$
$$a_j^{[i]}=a_j^{[i-1]}+k_{ia_{i-1}}$$
end
$$E^{[i]}=\left(1-k_i^2\right)E^{[i-1]}$$
end

آخرین جواب عبارتست از

$a_j = a_j^{[0]}, j = 0,...,10, with a_0 = 1.0$

k_i : Reflection coeficients (PARCOR coeficients)

تبدیل a_i به k_i :

$$k_1 = a_1^{[i]}$$

$$a_j^{[i-1]} = \frac{a_j^{[i]} - a_i^{[i]} a_{i-j}^{i}}{1 - k_i^2}$$

$$i = p,...,1$$

$$j = 1,...,i-1$$

$$p = 10$$

برای پایداری فیلتر : $-1 < k_i < 1$

$$i = 1,..., p$$

با این کار حتی بعد از کوانتیزاسیون هم Ki ها پایدار می‌مانند و در نتیجه پایداری فیلتر تضمین می‌شود. (چون شرطی برای تضمین پایداری aها نداریم باید k ها را در نظر بگیریم .

تبدیل LP به LSP

ضرایب فیلتر LP(a_i) برای اهداف کوانتیزاسیون و درون یابی به ضرایب LSP تبدیل می شوند. برای یک فیلتر LP درجهٔ ۱۰ ، ضرایب LSP به صورت ریشه‌های دو چند جمله‌ای زیر تعریف می‌شوند.

$$F_1'(z) = A(z) + z^{-11} A(z^{-1})$$

$$F_2' = A(z) - z^{-11} A(z^{-1})$$

ثابت می‌شود که تمام ریشه‌های این دو چند جمله‌ای در روی دایرهٔ واحد قرار دارند.

$F'(z)$ یک ریشه $z = -1 (w = \pi)$ و $F_2'(z)$ یک ریشه $z = 1 (w = 0)$ دارد. این دو ریشه با تعریف دو چند جمله‌ای زیر حذف می شوند.

$$F_1(z) = F_1'(z)/(1 + z^{-1})$$

$$F_2(z) = F_2'(z)/(1 - z^{-1})$$

از آنجا که هر چند جمله‌ای ۵ ریشه مزدوج در روی دایره واحد دارد. می‌توان آن را به صورت زیر نوشت:

$$F_1(z)=\prod_{i=1,3,..,9}(1-2qiz^{-1}+z^{-2})$$
$$F_1(z)=\prod_{i=2,4,..,10}(1-2qiz^{-1}+z^{-2})$$
$$q_i=\cos(\omega_i)$$

بین Wi ها این رابطه را داریم : $0<\omega_i<\omega_2<_{...}<\omega_{10}<\pi$

از آنجا که $F_1(z)$ و $F_2(z)$ متقارن هستند فقط کافی است که ۵ ضریب اول هر چند جمله‌ای محاسبه شود . این ض رایب با روابط زیر محاسبه می‌شوند . $f_1(0)=f_2(0)=1.0$

$$f_1(i+1)=a_i+1+a_{10}-i-f_1(i) \qquad i=0,...,4$$
$$f_2(i+1)=a_i+1+a_{10}-i-f_2(i) \qquad i=0,...,4$$

برای محاسبه $F_2(z)$, $F_1(z)$ بصورت زیر با داشتن $z=e^{iw}$ تعریف می شوند:

$$F(\omega)=2e^{j5\omega C(x)}$$
$$C(x)=T_5(x)+f(1)T_4(x)+f(2)T_3(x)+f(3)T_2(x)+f(4)T_1(x)+f(5)/2$$

که در آن

$$T_m(x)=Cos(mCos^{-1}x)=\sum_{n=0}^{[m/2]}(2^m n)x^{m-2n}(x^2-1)^n, Cos^{-1}(x)=w$$

f(i) ها همان ضرایب $F_1(z)$ هستند که در معادله بالا مشخص شده‌اند.

از آنجا که $x=\cos(w)$ برای محاسبه $C(x)$ از رابطه بازگشتی زیر استفاده می‌گردد.

$$for\ k=4\ down\ to\ 1$$
$$b_k=2xbk+1-b_k+f(5-k)$$

end

$$C(x)=xb_1-b_2+f(5)/2$$

با نوشتن $C(x)$ مشخص می شود که یک معادله درجه پنجم و در نتیجه ۵ ریشه دارد.

برای محاسبه w 1,...,9 از $F_1(z)$ و $w2,4,6,...,10$ از $F_2(z)$ استفاده می کنیم.

کوانتیزاسیون ضرایب LSP

یک روش تخمین MA از درجه ٤ سوئیچ شده برای تخمین ضرایب LSF فریم فعلی استفاده می شود. اختلاف بین ضرایب محاسبه شده و تخمین زده شده با روش کوانتیزاسیون برداری دو طبقه کوانتیزه می‌شود.

$$\omega_i = \arccos(qi) \qquad i = 1,...,10$$

اولین طبقه یک ۱۰VQ بعدی است که از $L_1 Codebook$ با ۱۲۸ عضو (۷بیت) استفاده می کند طبقه دوم یک ۱۰VQ بیتی است که بصورت یک SVQ با استفاده از دو Codebook ۵ بعدی L2 و L3 که هر کدام ۳۲ عضو (۵ بیت دارند) پیاده سازی می‌شود. برای توضیح عملکرد کوانتیزاسیون ابتدا عمل Decode را توضیح می‌دهیم. هر ضریب از جمع دو codebook بصورت زیر بدست می آید:

$$l_i = \begin{cases} L1_i(L1) + L2_i(L2) & i = 1,...,5 \\ L1_i(L1) + L3_{i-5}(L3) & i = 6,...,10 \end{cases}$$

برای جلوگیری از رزنانس تیز درفیلتر ترکیبی LP کوانتیزه شده، ضرایب L_1 به گونه‌ای تنظیم می‌شوند که می‌نیمم فاصله J بدست آید روتین آن به صورت زیر می‌باشد:

$for\ i = 2,...,10$
$if\ (l_i - 1 < l_i - j)$

$$L_i - 1 = (l_i + l_i - 1 - j)/2$$

$$l_i = (l_i + l_i - 1 + j)/2$$

End
End

یکبار با مقدار j=0.0012 و بار دیگر با j=0.0006 سپس ضرایب M LSF خروجی‌های کوانتیزه قبلی $l_1^{(m-k)}$ و فعلی $l_1^{(m)}$ بدست می آیند

i= $\omega_i^{(m)} = \left(1 - \sum_{k-1}^{4} p_{i,k}\right) l_i^{(m)} + \sum_{k=1}^{4} p_{i,k} l_i^{(m-k)}$

میزان MA می باشند . LO مشخص می کند که کدام تخمین زن MA اولیه $L_1^{(k)}$ بصورت زیر است.

$$l_i = i\pi/11 \quad for\ all\ k < 0$$

برش چک پایداری تست می شود به این صورت :

1) order the coefficient ω_i in increasing value:
2) $if\ \omega_i < 0.005\ then\ \omega_i = 0.005;$
3) $if\ \omega_i + 1 - \omega_i - 0.0391\ then\ \omega_i + 1 = \omega_i + 0.1391$

4) $if\ \omega_{10} > 3.135 then \omega 10 = 3.135$

MA بهترین تقریب برای ضرایب LSF فعلی باید محاسبه شود این توسط (MSE) وزن شده را می‌نیمم کند تعریف می‌شود.

$$E_{lsf} = \sum_{i=1}^{10} w_i(\omega_i - \omega_i)2$$

ضرایب LSF کوانتیزه نشده تطبیق داده می شود:

$$w_i = \begin{cases} 1.0 \\ 10(\omega_2 - 0.04\pi - 1)^2 + 1 \end{cases}$$

$$w_i 2 \le i \le 9 = \begin{cases} 1.0 \\ 10(\omega_i + 1 - \omega_{i-1} - 1)^2 + 1 \end{cases}$$

$$w_i = \begin{cases} 1.0 \\ 10(\omega_9 - 0.92\pi - 1)^2 + 1 \end{cases}$$

محاسبه می گردد.

$$l_i = \left[\omega_i^{(m)} - \sum_{k=1}^{4} P_{i,k} l_i^{(m-k)} \right] /$$

مربع متوسط (وزن نشده) را می نیمم می کند،گرفته می شود تا L1 بدست آید می شود یعنی برای هر عضو L2 مقدار l_i از ؟؟؟ سپس $w(i)$ بدست می آید و از رابطه (٤) می شود و عضو که با آن Elsf می نیمم بدست انجام می شود).کردن عضو L3 جستجو انجام می شود. که مشخص می شود. مینمم 0.0006 با استفاده از (۲) مجددا محاسبه می شود و آنکه MSE وزن شده کمتری با آن می شوند. برای subframe اول باید ضرایب و Subframe نزدیک به هم محاسبه کرد.

$q_i^{(current)}$

$q_i^{(current)}$

Subframe بصورت زیر است.

Subframe 1 : $q_i^{(1)} = 0.5_{qi}^{(previous)} + 0.5_{qi}^{(current)} \qquad i = 1,...,10$

Subframe 2 : $q_i^{(2)} = q_i^{(current)} \qquad i = 1,...,10$

دلیل عمل درون یابی: اگر پارامتر های فیلد را در هر Frame , Update کنیم تغییرات از یک فریم به دیگی به صورت ناگهانی میشود. به کیفیت صدا صدمه می زند. در نتیجه

پارامترها را درون یابی می کنیم. از همین روش برای درون یابی ضـــرایب LSP کوانتیزه شده استفاده می شود. (در معادله قبلی qi را به q1 تبدیل کنید.)

تبدیل ضرایب LSP به LP

هنگامی که ضـــرایب LSP کوانتیزه و درون یابی شـــدند مجددا به ضـــرایب LP(a1) تبدیل می شوند. به طریق زیر عمل می شود:

$for\ i = 1 to 5$

$f_1(i) = -2q2i-1 f_1(i-1) + 2 f_1(i-2)$

$for\ j = i-1 down to 1$

$f_1^{[i]}(j) = f_1^{[i-1]}(j) = 2q2i-1 f_1^{[i-1]}(j-1) + f_1^{[i-1]}(j-2)$

End

End

ضرایب $F_2(i)$ بصورت مشابه با جایگزین کردن q_{2i-1} با $q2i$ محاسبه می‌شوند.

حال بای پیدا کردن $F_2'(z)F_1'(z)$ باید $F_2(z)F_1(z)$ را به ترتیب در $1-z^{-1}, 1+z^{-1}$ ضـــرب کرد. یعنی:

$$f_1'(i) = f_1(i) + f_1(i-1) \qquad i = 1,...,5$$

$$f_2' = f_2(i) - f_2(i-1) \qquad i = 1,...,5$$

$$a_i = \begin{cases} 0.5 f_1(i) + 0.5 f_2(i) & i = 1,...,5 \\ 0.5 f_1(11-i) - 0.5 f_2(11-i) & i = 6,...,10 \end{cases}$$

Perceptual Weighting

این فیلتر که براساس ضرایب فیلتر LP کوانتیزه نشده می‌باشد بصورت زیر است.

$$w_{(z)} = \frac{A(z/\gamma 1)}{A(z/\gamma 2)} = \frac{1 + \sum_{i=1}^{10} \gamma_1^i a_i z^{-i}}{1 + \sum_{i=1}^{10} \gamma_2^i a_j z^{-i}}$$

منابع:

۱- آقای مهندس درویشان، مرکز تحقیقات مخابرات ایران، گروه ارتباطات ثابت

۲- سایت مرکز تحقیقات مخابرات ایران به نشانی:

www.itrc.ac.ir

3- ITU-T

International Tele communication Union

Tele Communication standardization sector of ITU G.729 – Anney A (11/96)

4- ITU – T

International Tele communication Union Tele Communication standardization sector of ITU G.729– Anney B (11/66)

WikiPower.ir